

Перелік питань на екзамен з
Цифрової схемотехніки

1. D-тригер типу «защівка» (схема, карта Карно, характеристичне рівняння)
2. JK-тригер типу «защівка» принцип роботи. Карта Карно та характеристичне рівняння
3. JK-тригер типу «MS», принцип роботи, карта Карно та характеристичне рівняння
4. RS-тригер типу «защівка» (схема, карта Карно, характеристичне рівняння)
5. RS-тригер типу MS (схема, часові діаграми)
6. R-тригер на ЛЕ І-НІ (схема, карта Карно, характеристичне рівняння)
7. Алгебраїчний суматор
8. Асинхронний лічильник з послідовним переносом (схема, часові діаграми)
9. Асинхронний лічильник з наскрізним переносом (схема, часові діаграми)
10. Базовий транзисторно-транзисторний ЛЕ. Принцип роботи, схема
11. Віднімач на ЛЕ АБО-НІ
12. Двійково-десятковий суматор
13. Діодно-транзисторні ЛЕ І-АБО-НІ, АБО-НІ
14. Емітерно-зв'язана логіка
15. Е-тригер синхронний на ЛЕ І-НІ
16. Комбінаційний віднімач
17. Комбінаційний перемножувач
18. ЛЕ на n-МДН та КМДН транзисторах типу І-НІ
19. ЛЕ на I^2L
20. ЛЕ на МДН транзисторах типу АБО-НІ
21. Лінійний дешифратор
22. Лічильник Джонсона (схема, таблиця відповідності)
23. Лічильник з керованим $K_{сч}$ (схема та принцип роботи)
24. Лічильники-дільники частоти, часові діаграмами
25. Матричний дешифратор
26. Мультиплексори
27. Однорозрядний цифровий компаратор на ЛЕ АБО-НІ
28. Паралельні регістри
29. Пірамідальний дешифратор
30. Повний суматор на ЛЕ АБО-НІ
31. Пріоритетний шифратор
32. Реверсивний асинхронний лічильник з міжрозрядними зв'язками на ЛЕ І-НІ
33. Реверсивний регістр зсуву
34. Регістри зсуву
35. Синхронний S-тригер на логічних елементах І-НІ
36. Синхронний D-тригер на ЛЕ АБО-НІ, карта Карно, характеристичне рівняння
37. Синхронний RS-тригер, керований рівнем на ЛЕ І-НІ
38. Синхронний RS-тригер, керований рівнем на ЛЕ АБО-НІ
39. Синхронний R-тригер керований рівнем на ЛЕ І-НІ
40. Синхронний лічильник
41. Суматор з прискореним переносом (формули, схема)
42. Схема, карта Карно та характеристичне рівняння S-тригера на ЛЕ І-НІ
43. Схема, карта Карно та характеристичне рівняння E-тригера на ЛЕ АБО-НІ
44. Транзисторно-транзисторний ЛЕ І-АБО-НІ, АБО-НІ
45. Шифратор
46. Місце та роль аналого-цифрових та цифро-аналогових перетворювачів.
47. Передаточна характеристика і параметри ЦАП.
48. ЦАП на суматорі струмів зі зваженими резисторами.
49. ЦАП на матриці R-2R.
50. Послідовний ЦАП з ШІМ.
51. Призначення, характеристики АЦП.

52. АЦП паралельного зчитування.
53. АЦП послідовного відліку.
54. АЦП послідовного наближення.
55. АЦП слідкуючого типу.
56. Конвеєрні АЦП.
57. АЦП багатоактного інтегрування.
58. Сігма-дельта АЦП.
59. КМДП передаточний вентиль.
60. КМДП буфер/інвертор з трьома станами.
61. КМДП реалізація синхронного D-тригера типу MS з мінімальною кількістю транзисторів.
62. Призначення, класифікація запам'ятовуючих пристроїв.
63. Комірка статичної пам'яті SRAM.
64. Комірка динамічної пам'яті DRAM.
65. Комірка пам'яті Flash.
66. Програмовані логічні схеми.