

# Лабораторна робота №5

## Проектування регістрів та лічильників

**Мета роботи:** отримання навичок проектування регістрів та лічильників за допомогою мов опису апаратури.

### Зміст:

Короткі теоретичні відомості .....	1
Регістри .....	1
Лічильники .....	4
Завдання для виконання .....	6
Вимоги до оформлення звіту .....	8
Контрольні питання .....	8
Література .....	8

## Короткі теоретичні відомості

### Регістри

Регістром називається типовий функціональний вузол цифрової схеми, призначений для прийому, тимчасового зберігання, перетворення та видачі  $n$ -розрядного двійкового слова. Регістр містить регулярний набір однотипних тригерів, у кожному зберігається значення одного двійкового розряду машинного слова. Найчастіше для побудови регістрів використовуються  $RS$ ,  $JK$  і  $D$ -тригери.

Регістри, призначені лише для прийому (запису), зберігання та передачі інформації, називаються елементарними або заціпками (невдалий переклад англійського latch). Регістри, які крім запису можуть виконувати операцію зсуву, називають зсувними.

Залежно від критерію існує кілька класифікацій регістрів:

- ✓ за способом керування записом:
  - асинхронні,
  - синхронні, які за типом тактуючого сигналу поділяються на:
    - керовані фронтом (переднім чи заднім),
    - керовані рівнем (прямим або інверсним).
- ✓ за способом запису та передачі двійкових слів:
  - паралельні – у таких регістрах запис та видача слів проводиться одночасно всіма розрядами. У таких регістрах тактові сигнали всіх регістрів з'єднані між собою. В результаті паралельний регістр є багаторозрядним, багатовхідним тригером.

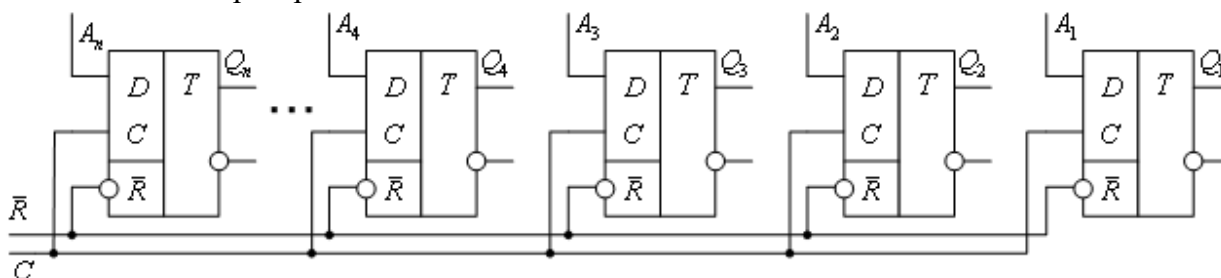


Рис. 1. Схема паралельного синхронного регістра на  $D$ -тригерах.

- послідовні – у таких регістрах запис і видача слів відбуваються розряд за розрядом у бік від молодших розрядів до старшим чи навпаки. Тактові входи таких регістрів також об'єднані між собою. Послідовні регістри можуть

виступати аналогом лінії затримки, вхідний сигнал якої перезаписується послідовно з тригера в тригер по фронту тактового сигналу  $C$ .

- універсальні – забезпечують як паралельний, і послідовний обмін інформацією. Такі регістри мають входи-виходи одночасно послідовного та паралельного типу. Можливий варіант з послідовним входом та паралельним виходом, паралельним входом та послідовним виходом.

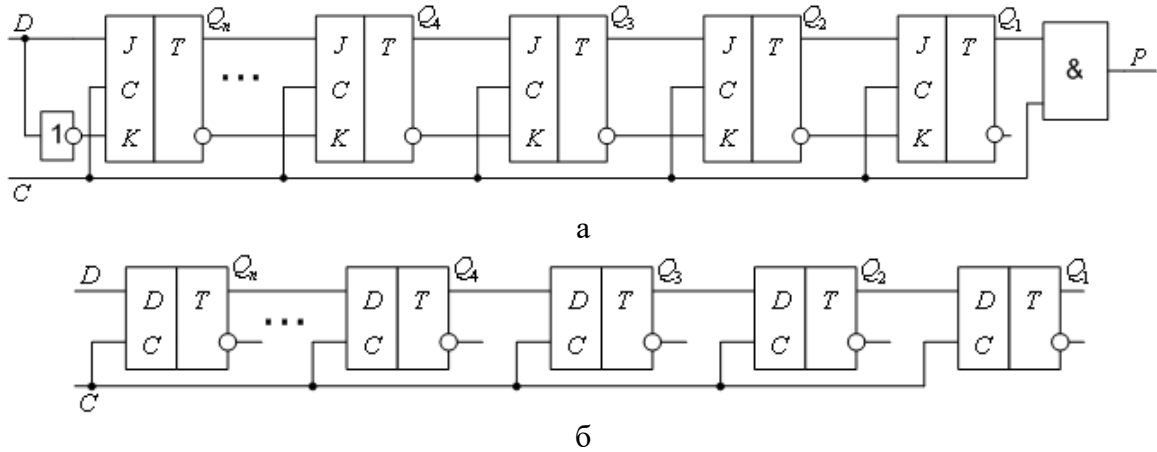


Рис. 2. Схема регістра, що дозволяє виконувати перетворення послідовного коду в паралельні та навпаки (а), схема послідовно-паралельного регістра (б).

- ✓ за кількістю ліній для представлення значення одного розряду слова (біти інформації):
  - однофазні – значення кожного розряду слова передається однією лінією зв'язку. Такі регістри, як правило, будуються на  $RS$ - і  $JK$ -тригерах, у яких значення кожного розряду слова  $A = A_n A_{n-1} \dots A_1$  надходить по одній лінії зв'язку на вхід  $S$  (або  $J$ ) відповідних тригерів. Після зчитування записаної інформації регістр повинен обнулитися за загальним  $R$  (або  $Do$ ) входом:

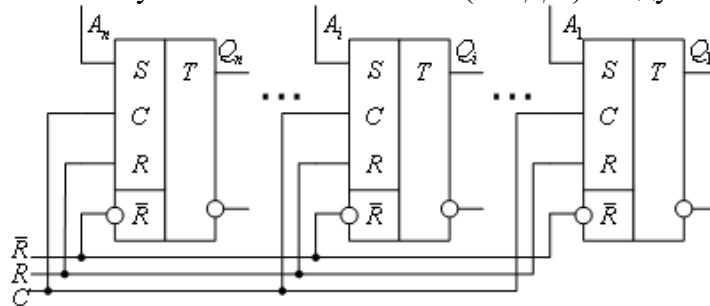


Рис. 3. Схема паралельного регістру на  $RS$ -тригерах з однофазним записом даних.

- парафазні - значення кожного розряду слова передається по двох лініях (одночасно відображається пряме та інверсне значення розряду). У цьому пряме значення  $A_i$  надходить вхід  $S$  (або  $J$ ) відповідного тригера, а інверсне значення  $\bar{A}_i$  – на вхід  $R$  (або  $K$ ). В цьому випадку не потрібно попереднього скидання регістра в стан "0", тому що таку функцію виконує сигнал  $\bar{A}_i$ .

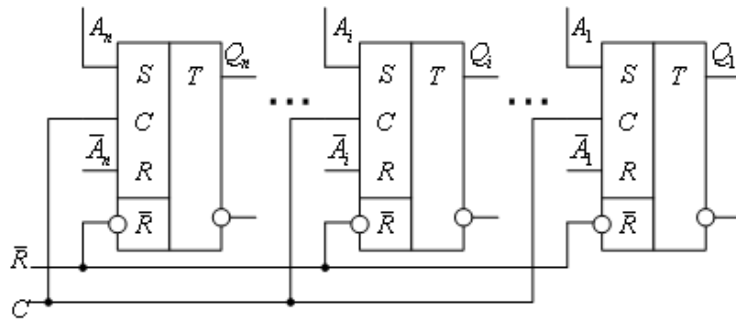


Рис. 4. Схема паралельного регістра на  $RS$ -тригерах з парафазним записом даних.

- ✓ за кількістю тактів для запису слова:
  - однокітні,
  - двокітні,
  - багатокітні,
- ✓ по складу виконуваних операцій:
  - установки,
  - запису,
  - зчитування,
  - і т.д.
- ✓ за напрямом зсуву (для послідовних регістрів):
  - односторонні
    - зсув ліворуч (у бік старших розрядів),

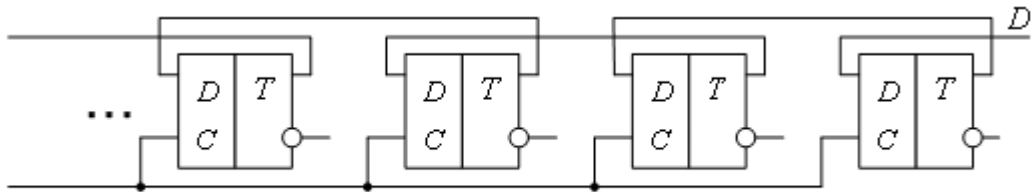


Рис. 5. Схема зсувного регістру зі зсувом ліворуч на  $D$ -тригерах.

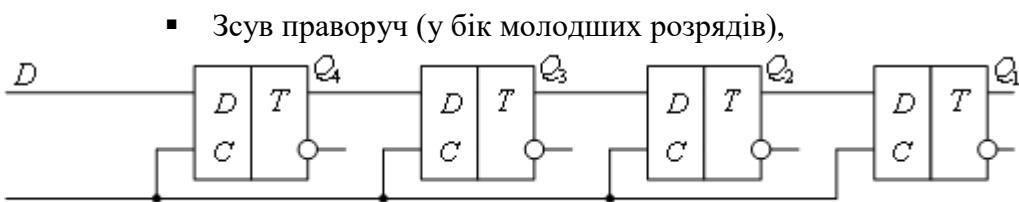


Рис. 6. Схема зсувного регістру зі зсувом праворуч на  $D$ -тригерах.

- двосторонні (реверсні),

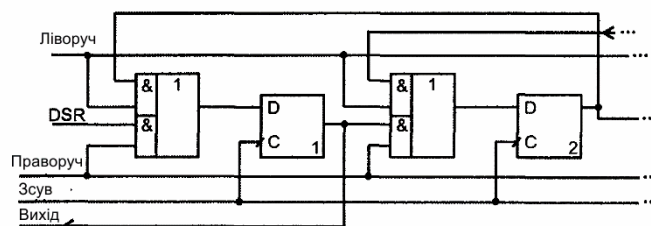


Рис. 7. Схема реверсного зсувного регістру на  $D$ -тригерах.

- ✓ За типом використовуваних тригерів.

## Лічильники

Лічильником називається типовий функціональний вузол комп'ютера, призначений для підрахунку вхідних імпульсів в тому чи іншому коді. Лічильник являє собою зв'язаний ланцюжок  $T$ - ( $JK$ ,  $D$ ) тригерів, що утворюють пам'ять із заданим числом стійких станів. Зазвичай лічильник так само виконує також інші операції - скидання, установка, паралельне завантаження і т.д.

Основним параметром, який характеризує лічильник, є модуль лічильника (його ємність)  $M$ , який визначає кількість можливих станів лічильника. Після надходження на вхід лічильника  $M$  вхідних імпульсів починається новий цикл роботи лічильника, що повторює попередній.

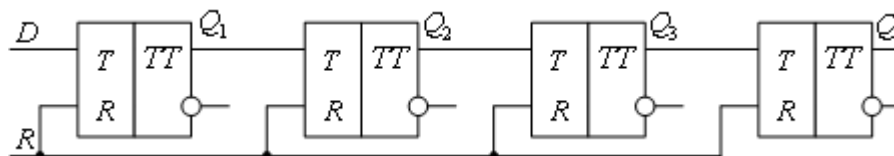


Рис. 8. Логічна структура лічильника.

Розрядність лічильника  $n$  дорівнює числу тригерів. При надходженні кожного наступного вхідного імпульсу змінюється стан лічильника, що зберігається до надходження наступного сигналу. Кількість імпульсів, що надійшли на вхід лічильника, можна знімати з виходів  $Q_i$ , причому число  $Q_1Q_2\dots Q_n$  є двійковою формою.

Виділяють три основні режими роботи лічильників:

1. Режим керування – у цьому режимі роботи зчитування інформації відбувається після кожного вхідного рахункового імпульсу,
2. Режим накопичення – у цьому режимі проводиться підрахунок заданого числа імпульсів чи рахунок протягом певного часу,
3. Режим поділу (перерахунку) – зменшення кількості отриманих імпульсів до *разів*.

Існує кілька класифікаційних ознак лічильників:

- за напрямком відліку розрізняють:
  - додавальні лічильники (лічильники прямого рахунку). У таких лічильниках кожен імпульс  $U^+$  збільшує стан лічильника на одиницю, тобто. реалізує операцію інкременту. Зі стану  $M-1$  черговий сигнал  $U^+$  повертає лічильник у початковий стан і видає сигнал переповнення  $P$ .

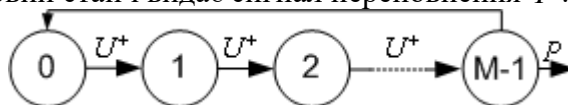


Рис. 9. Граф додавального лічильника.

- лічильники, що віднімають (лічильники зворотного рахунку). У таких лічильниках кожен імпульс  $U^-$  зменшує стан на одиницю, тобто. реалізує операцію декременту. Після виконання  $M$  віднімань видається сигнал позики  $Z$  і лічильник повертається і вихідний стан.

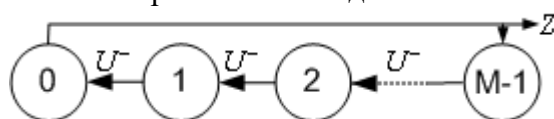


Рис. 10. Граф лічильника, що віднімає.



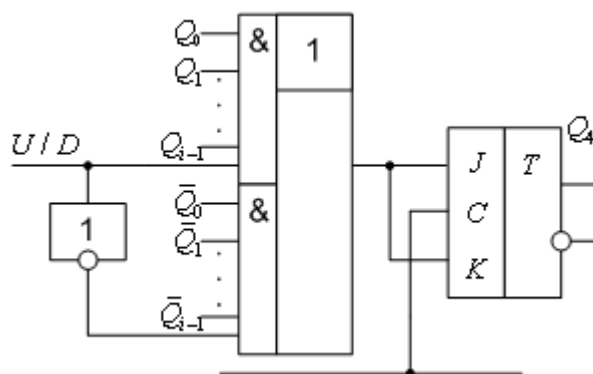


Рис. 14. Схема паралельного лічильника реверсивного рахунку на *JK*-тригерах.

- наскрізні,
- і т.д.
- за модулем рахунку виділяють двійкові, десяткові та ін.,
- за типом використовуваних тригерів – *T*, *JK*, *D*.

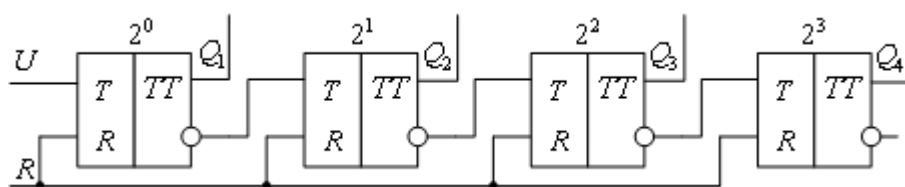


Рис. 15. Асинхронний підсумовуючий лічильник на *T*-тригерах з динамічним керуванням по фронту.

## Завдання для виконання

1. Скласти схему регістра чи лічильника, згідно з варіантом. Позначити вхідні, вихідні та керуючі сигнали.
2. Скласти Verilog-модуль, що реалізує функціональність даної схеми, використавши тригери з попередньої роботи лабораторної.
3. Скласти налагоджувальний стенд, який виконував би всебічну перевірку написаного модуля.

Номер варіанта	Тип тригера, що використовується для розробки	Завдання
1	RS	Побудувати 8-розрядний асинхронний послідовний регістр.
2	RS	Побудувати 4-розрядний синхронний (синхронізація за рахунок додавання логічних елементів) послідовний регістр керований рівнем.
3	RS	Побудувати 6-розрядний синхронний (синхронізація за рахунок додавання логічних елементів) паралельний регістр керований рівнем.
4	RS	Побудувати 4-розрядний послідовно-паралельний синхронний регістр.
5	RS	Побудувати 4-розрядний паралельно-послідовно синхронний регістр.
6	RS	Побудувати 8-розрядний синхронний регістр зсуву (тільки вправо).

Номер варіанта	Тип тригера, що використовується для розробки	Завдання
7	RS	Побудувати 8-розрядний синхронний регістр зсуву (тільки вліво).
8	RS	Побудувати 4-розрядний синхронний зсувний регістр (універсальний).
9	RS	Побудувати 6-розрядний синхронний регістр зсуву (тільки вправо).
10	RS	Побудувати 6-розрядний синхронний регістр зсуву (тільки вліво).
11	RS	Побудувати 6-розрядний синхронний зсувний регістр (універсальний).
12	JK	Побудувати 8-розрядний асинхронний послідовний регістр.
13	JK	Побудувати 4-розрядний синхронний (синхронізація за рахунок додавання логічних елементів) послідовний регістр
14	JK	Побудувати 6-розрядний синхронний (синхронізація за рахунок додавання логічних елементів) паралельний регістр
15	JK	Побудувати 4-розрядний послідовно-паралельний синхронний регістр.
16	JK	Побудувати 4-розрядний паралельно-послідовний синхронний регістр.
17	JK	Побудувати додавальний позиційний двійковий послідовний лічильник на 8 розрядів.
18	JK	Побудувати віднімальний позиційний двійковий послідовний лічильник на 6 розрядів.
19	JK	Побудувати реверсивний позиційний двійковий послідовний лічильник на 4 розряди.
20	JK	Побудувати підсумовуючий позиційний двійковий паралельний лічильник на 8 розрядів.
21	JK	Побудувати віднімальний позиційний двійковий паралельний лічильник на 6 розрядів.
22	JK	Побудувати реверсивний позиційний двійковий паралельний лічильник на 4 розряди.
23	T	Побудувати асинхронний додавальний двійковий лічильник на 8 розрядів.
24	T	Побудувати асинхронний лічильник, що віднімає, на 8 розрядів.
25	T	Побудувати асинхронний реверсивний двійковий лічильник на 8 розрядів.
26	T	Побудувати додавальний позиційний двійковий послідовний лічильник на 6 розрядів.
27	T	Побудувати віднімальний позиційний двійковий послідовний лічильник на 6 розрядів.
28	T	Побудувати реверсивний позиційний двійковий послідовний лічильник на 4 розряди.
29	T	Побудувати лічильник із модулем 3 на 4 розряди.

Номер варіанта	Тип тригера, що використовується для розробки	Завдання
30	T	Побудувати додавальний позиційний двійковий паралельний лічильник на 6 розрядів.
31	T	Побудувати віднімальний позиційний двійковий паралельний лічильник на 6 розрядів.
32	T	Побудувати реверсивний позиційний двійковий паралельний лічильник на 4 розряди.
33	T	Побудувати лічильник із модулем 5 на 3 розряди.
34	D	Побудувати 8-розрядний синхронний послідовний регістр, керований рівнем
35	D	Побудувати 8-розрядний синхронний паралельний регістр, керований рівнем
36	D	Побудувати 8-розрядний синхронний регістр зсуву (тільки вправо), керований рівнем
37	D	Побудувати 8-розрядний синхронний регістр зсуву (тільки вліво), керований рівнем.
38	D	Побудувати 4-розрядний синхронний регістр зсуву (універсальний), керований фронтом.
39	D	Побудувати 8-розрядний синхронний паралельний регістр, керований фронтом.
40	D	Побудувати 8-розрядний синхронний послідовний регістр, керований фронтом.

*Примітка:* якщо у варіанті явно не вказано будь-який параметр регістра/лічильника, він може вибиратися студентом на його розсуд.

## Вимоги до оформлення звіту

1. Протокол оформляється кожним студентом групи окремо.
2. Протокол повинен містити:
  - a. Титульна сторінка.
  - b. Завдання згідно з варіантом.
  - c. Схему регістра (або лічильника) згідно з варіантом.
  - d. Лістинги модуля та перевірконого стенду до даної схеми.
  - e. Результати моделювання – результати виведення на екран та часові діаграми.
  - f. Висновки про виконану роботу.
3. Захист роботи проводиться кожним студентом персонально.

## Контрольні питання

1. Що таке регістр?
2. Які класифікації регістрів ви знаєте?
3. Що таке лічильник?
4. Які класифікації лічильників ви знаєте?
5. Які параметри лічильників ви знаєте?

## Література

1. Н.П. Бабич, І.А. Жуков, Комп'ютерна схемотехніка. Методи побудови та проектування.
2. Є.П. Угрюмов. Цифрова схемотехніка.