

Лабораторна робота № 8, 9

Проектування цифрового таймера з дисплеєм на семисегментних індикаторах

Мета роботи: здобуття навичок проектування цифрового таймера мовою опису апаратури.

Зміст:

Короткі теоретичні відомості	1
Дільник частоти	1
Блок відліку (лічильник із зворотним відліком, що віднімає лічильник)	2
Двійково-десятковий перетворювач (дешифратор)	2
Дешифратор для семисегментного індикатора	3
Завдання для виконання	3
Вимоги до оформлення звіту	4
Контрольні питання	4
Література	4

Короткі теоретичні відомості

Блок-схему цифрового таймера наведено на рис. 1.

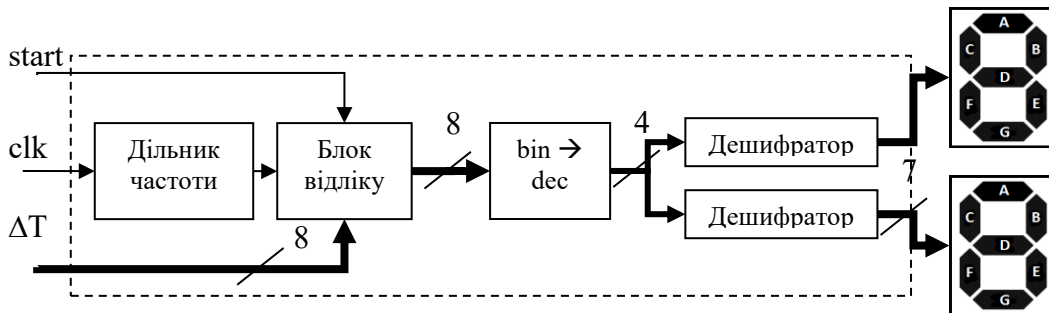


Рис. 1. Блок-схема цифрового таймера із семисегментними індикаторами.

Вхідними сигналами для цифрового таймера є сигнал *start*, який сигналізує початок відліку, *clk* – тактуючий сигнал (частота 100 МГц) і ΔT - величина часу (в секундах, діапазон 0...99), яка має бути відрахована таймером.

Дільник частоти

Дільник частоти призначений зниження частоти тактуючого сигналу *clk* до прийнятної величини. У універсальних дільниках частоти передбачається можливість визначати *K* – коефіцієнт зниження частоти.

Найпростіші дільники частоти, що реалізують поділ частоти навпіл можна реалізувати на тригерах.

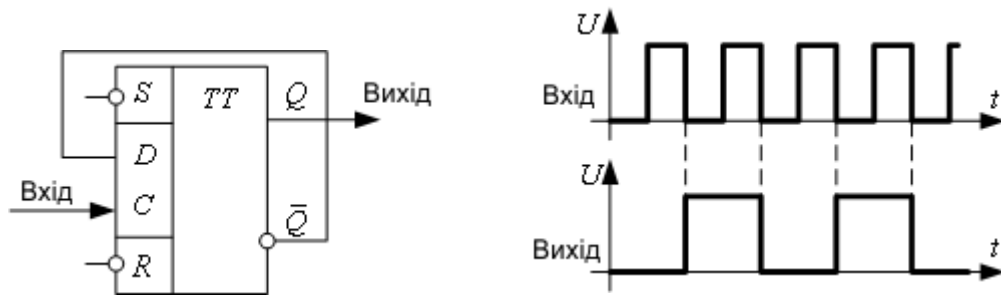


Рис. 2. Схема та часова діаграма найпростішого дільника частоти з $K=2$.

Каскадне з'єднання таких дільників дозволяють отримати частоти з $K=2^n$ де n - цілі числа 1, 2, ...

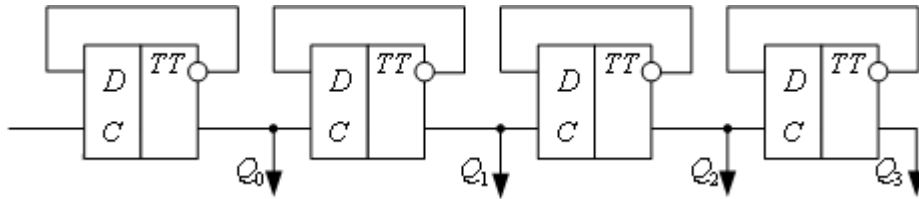


Рис. 3. Схема дільника частоти $K=2$ (Q_0), $K=4$ (Q_1), $K=8$ (Q_2) і $K=16$ (Q_3).

У разі коли K - довільне число, яке не є степенем 2, зручно користуватися лічильником, що віднімає. На початку в такий лічильник завантажується число K . Після того, значення лічильника досягає нуля, значення вихідного сигналу інвертується і в лічильник знову завантажується число K . Цикл роботи лічильника повторюється.

Блок відліку

Блок відліку являє собою лічильник, що віднімає, в який по передньому фронту сигналу *start* повинне завантажуватися значення константи ΔT і починатися зворотний відлік. На виходах даного блоку має відобразитись поточний залишок часу відліку.

Більш детально роботу лічильників описано в одній з попередніх лабораторних робіт.

Двійково-десятковий перетворювач

Двійково-десятковий перетворювач є дешифратором, який повинен переводити восьмирозрядне двійкове число в діапазоні 0..99 в дві двійкові цифри (кожна по 4 біти). Таблиця відповідності для двійково-десяткового дешифратора наведена нижче.

x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	y_{13}	y_{12}	y_{11}	y_{10}	y_{03}	y_{02}	y_{01}	y_{00}
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0
0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1
0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	0	0	0	1
0	0	0	0	1	1	0	0	0	0	0	1	0	0	1	0
0	0	0	0	1	1	0	1	0	0	0	1	0	0	1	1
				
0	1	1	0	0	0	1	1	1	0	0	1	1	0	0	1

Рис. 4. Таблиця відповідності двійково-десятькового перетворювача.

Більш детально роботу дешифраторів описано в одній з попередніх лабораторних робіт.

Дешифратор для семисегментного індикатора

Дешифратор для семисегментного індикатора повинен перетворювати чотирибітний код десяткових цифр у сигнали засвітки сегментів індикатора. У цій роботі вважатимемо активним рівнем низький. Схема розташування сегментів індикатора та таблиця відповідності наведені на малюнку нижче.

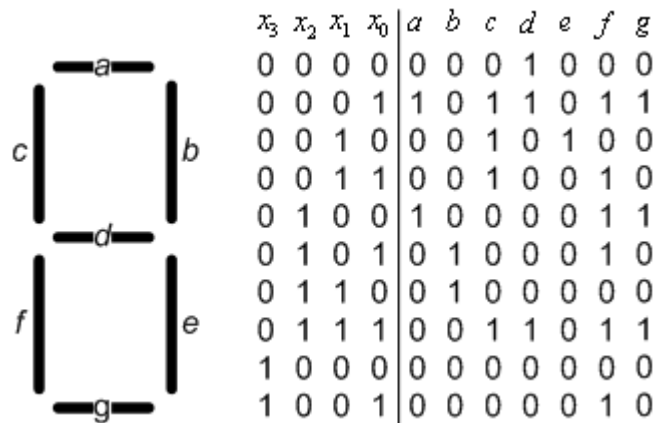


Рис. 5. Схема розташування сегментів індикатора та таблиця відповідності дешифратора для семисегментного індикатора.

Завдання для виконання

1. Скласти Verilog-модуль, який реалізовував би дільник частоти. Вхідним є тактуючий сигнал частотою $f_{clk} = 100$ МГц, вихідний – сигнал із частотою в K раз менше. Число K має бути параметром модуля. Перевірити функціональність модуля за допомогою перевірного стенду.

2. Скласти Verilog-модуль, який би реалізовував лічильник, що віднімає. По передньому фронту сигналу *start* має проходити завантаження константи ΔT та починатися зворотний відлік. На восьмибітному виході лічильника має подаватися поточний залишок часу відліку. Перевірити функціональність модуля за допомогою перевірного стенду.
3. Скласти Verilog-модуль, який реалізовував би дешифратор, що виконує двійково-десятькове перетворення. По 8-бітному входу дешифратор повинні надходити числа в діапазоні 0..99. 8-бітний вихід представляє дві групи по 4 біти, кожна з яких є двійковою цифрою. При перетворенні можна скористатися операцією поділу. Перевірити функціональність модуля за допомогою перевірного стенду.
4. Скласти Verilog-модуль, який реалізовував би дешифратор для семисегментного індикатора. Перевірити функціональність модуля за допомогою перевірного стенду.
5. Скласти Verilog-модуль, який реалізовував би функціональність таймера зі зворотним відліком з раніше написаних модулів. Передбачити можливість миготіння індикаторів після закінчення відліку. Перевірити функціональність модуля за допомогою перевірного стенду.
6. Перевірити функціональність програми за допомогою налагоджувальної плати.

Вимоги до оформлення звіту

1. Протокол оформляється кожним студентом окремо.
2. Протокол повинен містити:
 - a. Титульна сторінка.
 - b. Завдання до лабораторної роботи.
 - c. Лістинги всіх модулів.
 - d. Лістинги всіх перевірочний стенд.
 - e. Результати моделювання – результати виведення на екран та часові діаграми.
 - f. Висновки про виконану роботу.
3. Захист роботи проводиться кожним студентом окремо.

Контрольні питання

1. Що таке дільник частоти?
2. Що таке лічильник?
3. Що таке дешифратор?

Література

1. В.І. Зубчук, В.П. Сігорський, О.М. Шкуро, Довідник з цифрової схемотехніки.
2. Ю.П. Кондратенко, В.В. Мохор, С.А. Сидоренко, Verilog - HDL для моделювання та синтезу цифрових електронних схем.
3. Н.П. Бабич, І.А. Жуков, Комп'ютерна схемотехніка. Методи побудови та проектування.
4. Є.П. Угрюмов. Цифрова схемотехніка.